

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-183692

(P2002-183692A)

(43)公開日 平成14年6月28日 (2002.6.28)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>8</sup> (参考)
G 06 K 19/07		B 42 D 15/10	5 2 1 2 C 005
B 42 D 15/10	5 2 1	G 06 K 17/00	D 5 B 035
G 06 F 1/12		19/00	N 5 B 058
G 06 K 17/00		G 06 F 1/04	3 4 0 D

審査請求 未請求 請求項の数7 O.L (全 11 頁)

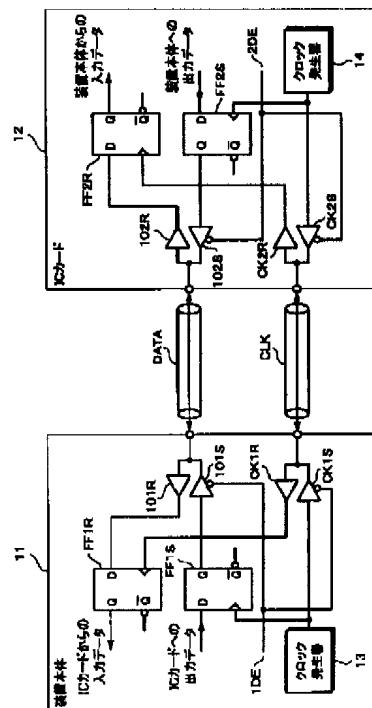
(21)出願番号	特願2000-379590(P2000-379590)	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成12年12月14日 (2000.12.14)	(72)発明者	坂東 秀明 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(74)代理人	100082762 弁理士 杉浦 正知 Fターム(参考) 20005 MA20 MA40 MB03 SA27 5B035 AA02 BB09 BC00 CA12 CA22 5B058 CA13 KA02 KA04 YA20

(54)【発明の名称】 ICカードおよびICカードシステム

(57)【要約】

【課題】 装置本体とICカードの間での通信をより高速とすることを可能とする。

【解決手段】 装置本体11からICカード12に対してデータを送信する場合には、クロック信号が(バッファCK1S→伝送路CLK→バッファCK2R)を経て、FF2Rのクロック入力へと入力される。データ信号は、クロック信号の上昇エッジに同期してFF1Sから出力され、(バッファ101S→伝送路DATA→バッファ102R)を経て、FF2Rのデータ入力へ入力され、取り込まれる。ICカード12から装置本体11に対してデータを送信する場合には、クロック信号が(バッファCK2S→伝送路CLK→バッファCK1R)を経て、FF1Rのクロック入力へ入力される。データ信号は、クロック信号の上昇エッジに同期してFF2Sから出力され、(バッファ102S→伝送路DATA→バッファ101R)を経て、FF1Rのデータ入力へ入力され、取り込まれる。



## 【特許請求の範囲】

【請求項1】 装置本体に対してリムーバブルなICカードにおいて、データ用端子とクロック用端子を有し、上記クロック用端子を介して装置本体からクロック信号を受け取り、上記クロック用端子から装置本体に対してクロック信号を送出することが可能とされたICカード。

【請求項2】 請求項1において、

上記クロック用端子がクロック信号の受け取りと送出で兼用されるようにしたICカード。

【請求項3】 請求項1において、

上記クロック用端子がクロック信号の受け取りと送出で別々に設けられるようにしたICカード。

【請求項4】 装置本体とリムーバブルなICカードとからなるICカードシステムにおいて、

データ用伝送路とクロック用伝送路とを含むインターフェース手段とを有し、

上記インターフェース手段は、

装置本体からICカードに対して上記クロック用伝送路を介して第1のクロック信号が伝送されると共に、上記第1のクロック信号と同期して上記データ用伝送路を介してデータが送信され、

ICカードから装置本体に対して上記クロック用伝送路を介して第2のクロック信号が伝送されると共に、上記第2のクロック信号と同期して上記データ用伝送路を介してデータが送信されるように構成されたICカードシステム。

【請求項5】 請求項4において、

上記クロック用伝送路が上記第1および第2のクロック信号で兼用されるようにしたICカードシステム。

【請求項6】 請求項4において、

上記クロック用伝送路が上記第1および第2のクロック信号で別々に設けられるようにしたICカードシステム。

【請求項7】 請求項6において、

上記第1および第2のクロック信号が装置本体のクロック発生手段で形成されたものであるICカードシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、例えばフラッシュメモリを有し、データ処理装置本体に対してリムーバブルなICカードおよびICカードシステムに関する。

## 【0002】

【従来の技術】図1は、従来の装置本体1とICカード2間のデータ通信方法を示すブロック図である。装置本体1とICカード2間でデータ通信を行うために、クロック信号とこれに同期して入出力されるデータ信号とが使用される。データ信号は双方向通信であるが、クロック信号は装置本体1からICカード2側へ片方向通信とされている。

【0003】図2は、図1のシステムの詳細を示すブロック図である。FF1R、FF1S、FF2R、FF2Sがそれぞれフリップフロップであり、データ入力D、データ出力Qを備えている。101R、102R、CLK1がそれぞれ入力バッファであり、101S、102S、CLK0がそれぞれ出力バッファである。101S、102S、101R、102Rはトライステートバッファで構成されている。装置本体1側は、クロック信号を発生するためのクロック発生器3を備えている。また1DE、2DEは、制御信号であり、DATA、CLKは、装置本体1とICカード2間のデータ用伝送路およびクロック用伝送路である。

【0004】まず、装置本体1からICカード2方向にデータ通信をする場合について説明する。トライステートバッファ101Sが制御信号1DEにより出力ハイインピーダンス状態にセットされ、トライステートバッファ102Sが制御信号2DEにより出力ハイインピーダンス状態にセットされる。したがって、データは、フリップフロップFF1SからフリップフロップFF2Rへ伝送される。クロック信号は、装置本体1のクロック発生器3により生成され、(出力バッファCLK0→伝送路CLK→入力バッファCLK1)という経路を経て、フリップフロップFF2Rのクロック入力へ入力される。

【0005】データ信号は、クロック発生器3からフリップフロップFF1Sクロック入力に入力されるクロック信号の上昇(立ち上がり)エッジに同期してフリップフロップFF1Sから出力され、(出力バッファ101S→伝送路DATA→入力バッファ102R)という経路を経て、フリップフロップFF2Rデータ入力へ入力され、フリップフロップFF2Rのクロック入力の上昇エッジに同期して取り込まれる。

【0006】次にICカード2から装置本体1方向にデータ通信をする場合について説明する。トライステートバッファ101Sが制御信号1DEにより出力ハイインピーダンス状態にセットされ、トライステートバッファ102Sが制御信号2DEにより出力ハイインピーダンス状態にセットされる。したがって、フリップフロップFF2SからフリップフロップFF1Rへのデータ伝送となる。

クロック信号は、装置本体1のクロック発生器3により生成され、フリップフロップFF1Rのクロック入力に入力される。

【0007】データ信号は、(クロック発生器3→出力バッファCLK0→伝送路CLK→入力バッファCLK1)という経路を経てフリップフロップFF2Sクロック入力へ入力されるクロック信号の上昇エッジに同期してフリップフロップFF2Sから出力され、(出力バッファ102S→伝送路DATA→入力バッファ101R)という経路を経て、フリップフロップFF1Rデータ

タ入力へ入力され、フリップフロップFF1Rのクロック入力の上昇エッジに同期して取り込まれる。

【0008】図3は、ICカード2から装置本体1方向のデータ通信を示すシステム構成図である。また図4は、図3のタイミングチャートである。以下、図3および図4について説明する。

【0009】ICカード2から装置本体1方向のデータ通信は、図3に示しているように、フリップフロップFF2SからフリップフロップFF1Rへのデータ通信となる。フリップフロップFF1Rのクロック信号に対して、フリップフロップFF2Sのクロック信号は、出力バッファCLK0の遅延と伝送路CLKの遅延と入力バッファCLK1の遅延の合計値の遅延を有する。この遅延をクロック遅延TD1と表記する。

【0010】また、フリップフロップFF2Sクロック入力の上昇エッジのタイミングから、フリップフロップFF1Rデータ入力に到達するまでの遅延はフリップフロップFF2Sの遅延と出力バッファ102Sの遅延と伝送路DATAの遅延と入力バッファ101Rの遅延の合計値となる。このフリップフロップFF2Sの遅延をデータ遅延TD3と表記し、出力バッファ102Sの遅延と伝送路DATAの遅延と入力バッファ101Rの遅延の合計値をデータ遅延TD2と表記する。

【0011】

【発明が解決しようとする課題】フリップフロップFF2Sのクロック入力に同期して出力されたデータは、次のフリップフロップFF1Rのクロック入力の上昇エッジまでに、フリップフロップFF1Rのデータ入力に到達しなければならない。しかしながら、クロック遅延TD1とデータ遅延TD2、TD3があるために、タイミング余裕が図4に示すように、不十分となる。その結果、より高速に通信するためにクロック周期を短くしても、(遅延TD1+遅延TD2+遅延TD3)の遅延以下にクロック周期にすることができないという問題があった。

【0012】従って、この発明の目的は、クロック信号とデータ信号の遅延時間の差をなくすように構成することで、ICカードから出力されるデータの通信をより高速に行うことができ、大量のデータを短時間で伝送することができるICカードおよびICカードシステムを提供することにある。

【0013】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、装置本体に対してリムーバブルなICカードにおいて、データ用端子とクロック用端子を有し、クロック用端子を介して装置本体からクロック信号を受け取り、クロック用端子から装置本体に対してクロック信号を送出することが可能とされたICカードである。

【0014】請求項4の発明は、装置本体とリムーバブル

ルなICカードとからなるICカードシステムにおいて、データ用伝送路とクロック用伝送路とを含むインターフェース手段とを有し、インターフェース手段は、装置本体からICカードに対してクロック用伝送路を介して第1のクロック信号が伝送されると共に、第1のクロック信号と同期してデータ用伝送路を介してデータが送信され、ICカードから装置本体に対してクロック用伝送路を介して第2のクロック信号が伝送されると共に、第2のクロック信号と同期してデータ用伝送路を介してデータが送信されるように構成されたICカードシステムである。

【0015】この発明では、ICカードから装置本体に対してデータを送信する場合において、クロック信号を双方向通信とし、データ信号とクロック信号を共にICカードから装置本体に対して送信し、さらに、データ信号とクロック信号間の遅延時間の差を無くすように構成することで、クロック周期をより短くできるようにして、より高速の通信を可能としたものである。

【0016】

【発明の実施の形態】以下、この発明の一実施形態について図面を参照しながら説明する。最初に、この発明が適用することができるICカード(メモリ装置)の一例について説明する。

【0017】図5は、装置本体21とICカード26とからなるシステムの構成を示す。装置本体21は、データ処理部22と、レジスタ23と、ホスト側シリアルインターフェイス回路24と、ホスト側コントローラ25とを備えている。また、ICカード26は、外観がカード状の記憶媒体であり、装置本体21に接続されて外部記憶装置として用いられる。ICカード26は、メモリ27と、レジスタ28と、カード側シリアルインターフェイス回路29と、カード側コントローラ30とを備えている。

【0018】装置本体21のデータ処理部22は、ICカード26に記憶したデータを読み出して各種データ処理を行い、また、各種データ処理をしてICカード26に書き込むデータを生成する。すなわち、このデータ処理部22は、ICカード26を用いる例えはコンピュータ操作や、デジタルオーディオ信号の記録再生装置、カメラ装置等のオーディオビジュアル機器のデータ処理回路となる。

【0019】レジスタ23は、データ処理部22とホスト側シリアルインターフェイス24とのバッファである。つまり、装置本体21は、データ処理部22からホスト側シリアルインターフェイス回路24にデータを供給する場合は、データをこのレジスタ23に一時格納した後にホスト側シリアルインターフェイス回路24に供給する。同様に、装置本体21は、ホスト側シリアルインターフェイス回路24からデータ処理部22にデータを供給する場合は、データを、このレジスタ23に一時

格納した後にデータ処理部22に供給する。

【0020】ホスト側シリアルインターフェイス回路24は、データ処理部22からレジスタ23を介して供給されたデータおよびホスト側コントローラ25から供給されるコマンドをシリアル信号に変換してICカード26に供給する。また、ホスト側シリアルインターフェイス回路24は、ICカード26から供給されたシリアル信号のデータおよびコマンドをパラレル信号に変換して、データ処理部22およびホスト側コントローラ25に供給する。

【0021】また、ホスト側シリアルインターフェイス回路24は、各種データおよびコマンドの同期信号(CLK)等をICカード26に供給する。またホスト側シリアルインターフェイス回路24は、ICカード26から供給され、このICカード26の動作状態を示すステータス(STATUS)信号を取得する。

【0022】ホスト側コントローラ25は、データ処理部22のデータ処理動作、ホスト側シリアルインターフェイス回路24の各データの伝送動作の制御を行う。また、ホスト側コントローラ25は、ICカード26への制御命令となるコマンドをレジスタ28を介してICカード26に供給する。

【0023】一方、ICカード26のメモリ27は、例えば、フラッシュメモリ等からなり、データ処理部22から供給されたデータを記憶する。

【0024】レジスタ28は、メモリ27とカード側シリアルインターフェイス回路29とのバッファである。つまり、メモリ27が装置本体21からのデータを書き込む場合は、このレジスタ23に一時データを格納した後に書き込むデータをメモリ27に供給する。同様に、装置本体21がメモリ27からデータを読み出す場合は、このレジスタ23に一時データを格納した後に読み出すデータをカード側シリアルインターフェイス回路29に供給する。すなわち、このレジスタ28は、フラッシュメモリのいわゆるページバッファの機能等を果たす回路である。

【0025】カード側シリアルインターフェイス回路29は、カード側コントローラ30の制御に基づき、メモリ27から供給されるパラレル信号のデータおよびカード側コントローラ30から供給されるコマンドをシリアル信号に変換して装置本体21に供給する。また、カード側シリアルインターフェイス回路29は、装置本体21から供給されるシリアル信号のデータおよびコマンドをパラレル信号に変換して、メモリ27およびカード側コントローラ30に供給する。

【0026】また、カード側シリアルインターフェイス回路29は、各種データおよびコマンドの同期信号(CLK)等を装置本体21に供給する。また、カード側シリアルインターフェイス回路29は、ステータス信号を装置本体21に供給する。

【0027】カード側コントローラ30は、メモリ27のデータの記憶動作、読み出し動作および消去動作等を装置本体21から供給されるコマンド等に基づき制御する。また、カード側コントローラ30は、カード側シリアルインターフェイス回路29の各データの伝送動作の制御を行う。また、ホスト側コントローラ25は、ICカード26へのステータス信号をICカード26に供給する制御を行う。

【0028】以上のような装置本体21およびICカード26の間のデータの伝送は、ホスト側シリアルインターフェイス回路24とカード側シリアルインターフェイス回路29との間に設けられた伝送ラインを介して行われる。

【0029】装置本体21のホスト側シリアルインターフェイス回路24と、ICカード26のカード側シリアルインターフェイス回路29の間には、CLKライン31と、コントロールライン32と、DTライン33との3本の信号ラインが設けられている。

【0030】DTライン33には、主データ、すなわち、データ処理部22によりデータ処理をしてメモリ27に書き込むデータおよびメモリ27からデータ処理部22に読み出すデータが伝送される。また、このDTライン33には、装置本体21からICカード26に供給する制御命令となるコマンドと、ICカード26から装置本体21に供給されるコマンドが伝送される。すなわち、このDTライン33には、主データおよびコマンドが、シリアル信号で双方向伝送される。

【0031】また、DTライン33には、一端が接地された抵抗33aが取り付けられている。この抵抗33aは、いわゆるブルダウン抵抗であり、ホスト側シリアルインターフェイス回路24とカード側シリアルインターフェイス回路29との間での、DTライン33による信号の送受信がなされていないとき、DTライン33の信号レベルは、ローレベルとなる。換言すれば、DTライン33による信号の送受信がなされていないとき、DTライン33の信号レベルは、上記抵抗33aの抵抗値等によって定まる一定のレベルとなる。

【0032】なお、ここでは、抵抗33aとして、いわゆるブルダウン抵抗を採用し、DTライン33による信号の送受信がなされていないとき、DTライン33の信号レベルがローレベルとなるようにしたが、抵抗33aとして、いわゆるブルアップ抵抗を採用し、DTライン33による信号の送受信がなされていないとき、DTライン33の信号レベルがハイレベルとなるようにしてもよい。CLKライン31では、クロック信号が装置本体21とICカード26間で双方向に伝送される。

【0033】コントロールライン32には、コントロール信号が装置本体21からICカード26に伝送される。このコントロール信号が供給されている期間、例えばハイレベルとなっている期間、上述した主データおよ

びコマンドが伝送される。

【0034】ここで、上述したDTライン33には、主データおよびコマンドに加えて、ICカード26の動作状態を示すステータス(STATUS)信号がICカード26から装置本体21に供給される。このICカード26からのステータス信号は、DTライン33に主データおよびコマンドが伝送されていない期間、すなわち、コントロール信号が供給されていない期間例えば、ローレベルの期間に供給される。このステータス信号には、ICカード26が処理を行っていることを示すビジー(BUSY)信号がある。例えば、ICカード26が書き込み処理をおこなっている場合であって、装置本体21からのアクセスを禁止するときには、このビジー信号がICカード26から装置本体21に供給される。また、このステータス信号には、ICカード26から装置本体21に對しての割り込みを示すインターラプト(INTERRUPT)信号がある。例えば、ICカード26から装置本体21に對して割り込み命令を要求するときには、このインターラプト信号が供給される。なお、このビジー信号やインターラプト信号は一例であり、ステータス信号としてICカード26の動作状態を示す信号であればどんな信号であってもよい。

【0035】図6は、ICカード26からデータを読み出す時のタイミングを示す。装置本体21とICカード26との間で、何等データの送受信がされていない状態では、コントロールライン32がローレベルとなっている。これが状態0(初期状態)である。そして、タイミングt31において、装置本体21がコントロールライン32をハイレベルとし、状態1となる。

【0036】ICカード26はコントロールライン32がハイレベルに切り替わったことによって、状態0から状態1へ変化したことを検出する。状態1では、DTライン33を介して装置本体21からICカード26に對して読み出しコマンドが送信され、ICカード26が読み出しコマンドを受信する。この読み出しコマンドは、シリアルインターフェイス用のTPCと称されるプロトコルコマンドである。後述するように、プロトコルコマンドによって、通信の内容と後続するデータのデータ長が特定される。

【0037】コマンドの送信が完了したタイミングt32において、コントロールライン32がハイレベルからローレベルに切り替えられる。それによって、状態1から状態2へ遷移する。状態2では、ICカード26が受信したコマンドで指示される処理、具体的には、読み出しコマンドで指定されたアドレスのデータをメモリ27から読み出す処理を行う。この処理がなされている間、DTライン33を介してビジー信号(ハイレベル)が装置本体21に送信される。

【0038】そして、メモリ27からデータの読み出しが完了したタイミングt33において、ビジー信号の出

力が停止され、装置本体21に対してICカード26からデータを送出する準備ができたことを示すレディー信号(ローレベル)の出力が開始される。

【0039】装置本体21は、ICカード26からレディー信号を受信することによって、読み出しコマンドに對応する処理が準備できたことを知り、タイミングt34において、コントロールライン32をハイレベルに切り替える。すなわち、状態2から状態3へ遷移する。

【0040】状態3になると、ICカード26は、状態2においてレジスタ28に読み出したデータをDTライン33を介して装置本体21に對して出力する。読み出しデータの転送が完了したタイミングt35において、装置本体21は、クロック信号の送信を止めると共に、ステータス線をハイレベルからローレベルへ切り替える。それによって、状態3から初期状態(状態0)に遷移する。

【0041】なお、ICカード26の内部状態に変化が生じて何らかの割り込み処理を行う必要が発生すると、ICカード26は、タイミングt36で示すように、状態0において、割り込みを示すインターラプト信号をDTライン33を介してデータ処理装置に供給する。装置本体21は、状態0でICカード26からDTライン33を介して信号が供給された場合、その信号がインターラプト信号であることを認識できるように設定されている。装置本体21がインターラプト信号を受け取ると、そのインターラプト信号に基づいて必要な処理を行う。

【0042】図7は、ICカード26のメモリ27に對してデータを書き込む時のタイミングチャートである。初期状態(状態0)では、CLKライン31の伝送がされない。タイミングt41において、装置本体21がコントロールライン32をローレベルからハイレベルに切り替える。それによって、DTライン33を介して書き込みコマンドが伝送される状態1に遷移する。ICカード26は、状態1において、コマンドを取得するように準備する。タイミングt41からコマンドがDTライン33を介してICカード26に伝送され、ICカード26がこの書き込みコマンドを取得する。

【0043】書き込みコマンドの送信が完了したタイミングt42において、装置本体21がコントロールライン32をハイレベルからローレベルに切り替える。それによって、状態1から状態2へ遷移する。状態2では、装置本体21が書き込みデータをDTライン33を介してICカード26に伝送する。ICカード26では、受け取った書き込みデータがレジスタ28に蓄えられる。

【0044】書き込みデータの伝送が終了するタイミングt43において、コントロールライン32がローレベルからハイレベルへ切り替えられ、状態2から状態3へ遷移する。状態3において、ICカード26は、書き込みデータをメモリ27へ書き込む処理を行う。状態3において、ICカード26は、DTライン33を介してビ

ジー信号（ハイレベル）を装置本体21に対して送信する。装置本体21は、書き込みコマンドを送信し、且つ現状の状態が状態3であることから、ICカード26から送信される信号がステータス信号であると判断する。

【0045】ICカード26において、書き込みデータの書き込み処理が終了すると、終了したタイミングt44において、ビジー信号の出力を停止し、レディー信号（ローレベル）を装置本体21に対して送信する。装置本体21は、レディー信号を受信すると、書き込みコマンドに対応する書き込み処理が完了したものと判断し、クロック信号の送信を止めると共に、タイミングt45においてコントロールライン32をハイレベルからローレベルへ切り替える。それによって、状態3から状態0（初期状態）に戻る。

【0046】さらに、状態0において、ICカード26からDTライン33を介してハイレベルの信号を装置本体21が受け取った場合には、装置本体21がこの信号をインタラプト信号と認識する。そして、装置本体21は、受信したインタラプト信号に基づいて必要な処理を行う。例えばICカード26を装置本体21から取り外した時に、ICカード26がインタラプト信号を発生する。

【0047】上述した読み出し動作、書き込み動作以外においても、状態1において、コマンドが伝送され、その後の状態2において、コマンドに対応するデータが伝送される。

【0048】上述したICカードの外観を図8に示す。また、ICカード41を図8中H方向から見た図を図9に示し、ICカード41を図8中I方向から見た図を図10に示す。このICカード41は、平面形状が略長方形をしている。またICカード41は、長辺方向の第1の側面42の両側端部に、装着用の切欠部44a、44bが形成されている。また、図9に示すように、第1の側面と平行な第2の側面43の両側端部にも、装着用の切欠部44c、44dが形成されている。

【0049】この発明は、上述したリムーバブルなICカードおよび装置本体に適用されるものである。例えば図5中のホスト側シリアルインターフェイス24とカード側シリアルインターフェイス29間のデータ通信に対してこの発明が適用される。図11は、この発明によるICカードシステムを示すものである。装置本体11とICカード12間でデータ通信を行うために、クロック信号とこれに同期して入出力されるデータ信号とが使用される。データ信号のみならず、クロック信号も双方向通信とされる。

【0050】図12は、この発明の一実施形態を示す。FF1R、FF1S、FF2R、FF2Sがそれぞれフリップフロップであり、データ入力D、データ出力Qを備えている。101R、102R、CK1R、CK2Rがそれぞれ入力バッファであり、101S、102S、

CK1S、CK2Sがそれぞれ出力バッファである。出力バッファ101S、102S、CK1S、CK2Sがそれぞれトライステートバッファの構成とされている。装置本体11がクロック発生器13を備えており、ICカード12がクロック発生器14を備えている。また1DE、2DEは制御信号であり、DATA、CLKは、装置本体11とICカード12間の伝送路である。

【0051】まず、装置本体11からICカード12に対してデータを送信する場合について説明する。トライステートバッファ101S、CK1Sが制御信号1DEにより出力イネーブル状態にセットされ、トライステートバッファ102S、CK2Sが制御信号2DEにより出力ハイインピーダンス状態にセットされ、フリップフロップFF1SからフリップフロップFF2Rへデータが伝送される。クロック信号は、装置本体11のクロック発生器13により生成され、（出力バッファCK1S→伝送路CLK→入力バッファCK2R）という経路を経て、フリップフロップFF2Rのクロック入力へと入力される。

【0052】データ信号は、クロック発生器13からフリップフロップFF1Sのクロック入力に入力されるクロック信号の上昇エッジ（立ち上がりエッジ）に同期してフリップフロップFF1Sから出力され、（出力バッファ101S→伝送路DATA→入力バッファ102R）という経路を経て、フリップフロップFF2Rのデータ入力へ入力され、フリップフロップFF2Rのクロック入力の上昇エッジに同期して取り込まれる。

【0053】次に、ICカード12から装置本体11に対してデータを送信する場合について説明する。トライステートバッファ101S、CK1Sが制御信号1DEにより出力ハイインピーダンス状態にセットされ、トライステートバッファ102S、CK2Sが制御信号2DEにより出力イネーブル状態にセットされ、フリップフロップFF2SからフリップフロップFF1Rへデータが伝送される。クロック信号は、ICカード12のクロック発生器14により生成され、（出力バッファCK2S→伝送路CLK→入力バッファCK1R）という経路を経て、フリップフロップFF1Rのクロック入力へ入力される。

【0054】データ信号は、クロック発生器14からフリップフロップFF2Sのクロック入力に入力されるクロック信号の上昇エッジに同期してフリップフロップFF2Sから出力され、（出力バッファ102S→伝送路DATA→入力バッファ101R）という経路を経て、フリップフロップFF1Rのデータ入力へ入力され、フリップフロップFF1Rのクロック入力の上昇エッジに同期して取り込まれる。

【0055】図13は、ICカード12から装置本体11へのデータ送信を示すシステム構成図である。また図14は、図13のタイミングチャートである。以下、図

13および図14について説明する。

【0056】ICカード12から装置本体11方向へのデータ通信は、図13に示すように、フリップフロップFF2SからフリップフロップFF1Rへのデータ通信となる。フリップフロップFF2Sのクロック信号に対して、フリップフロップFF1Rのクロック信号は、出力バッファCK2Sの遅延と伝送路CLKの遅延と入力バッファCK1Rの遅延の合計値の遅延を有する。この遅延をクロック遅延TD11と表記する。

【0057】また、フリップフロップFF2Sクロック入力の上昇エッジのタイミングから、フリップフロップFF1Rデータ入力に到達するまでの遅延は、フリップフロップFF2Sの遅延と出力バッファ102Sの遅延と伝送路DATAの遅延と入力バッファ101Rの遅延の合計値なる。このフリップフロップFF2Sの遅延をデータ遅延TD13と表記し、出力バッファ102Sの遅延と伝送路DATAの遅延と入力バッファ101Rの遅延の合計値をデータ遅延TD12と表記する。

【0058】ここで、4つの出力バッファ102S, CK2S, 101R, CK1Rを同一タイプの出力バッファとし、伝送路DATAと伝送路CLKに使用するコネクタを同一のものとし、伝送路にケーブルを使用する場合には伝送路DATAと伝送路CLKのケーブル長をそろえることにしておけば、クロック遅延TD11とデータ遅延TD12がほぼ等しくなり、図14に示すように、データ遅延TD13のみがタイミング余裕を減少させる原因となる。したがって、図14に示されるように、タイミング余裕の減少を抑えることができ、従来の方式に比してより高速の通信が可能となる。

【0059】図15は、装置本体51とICカード52とから構成されるこの発明の他の実施形態を示す。上述した一実施形態(図12参照)と比較すると、クロック信号の伝送路をCLK\_HおよびCLK\_Cに分離している点が相違する。他の実施形態では、クロック用伝送路を2本必要とするが、ICカード側52にクロック発生器を必要とせずに、クロック信号の双方向通信が可能になるという利点がある。

【0060】図15において、FF1R, FF1S, FF2R, FF2Sがそれぞれフリップフロップであり、データ入力D、データ出力Qを備えている。101R, 102R, CK1R, CK2Rがそれぞれ入力バッファであり、101S, 102S, CK1S, CK2Sがそれぞれ出力バッファである。出力バッファ101S, 102Sがトライステートバッファで構成されている。1DE, 2DEが制御信号であり、装置本体51がクロック発生器53を備えている。クロック信号は伝送路CLK\_Hを経由して装置本体51からICカード52方向に伝送され、また、伝送路CLK\_Cを経由してICカード52から装置本体51方向に伝送される。データ信号は、伝送路DATAを経由して装置本体51とICカ

ード52間を双方向に伝送される。

【0061】まず、装置本体51からICカード52方向にデータ通信をする場合について説明する。トライステートバッファ101Sが制御信号1DEにより出力イネーブル状態にセットされ、トライステートバッファ102Sは制御信号2DEにより出力ハイインピーダンス状態にセットされ、フリップフロップFF1SからフリップフロップFF2Rへのデータ伝送となる。クロック信号は、装置本体51のクロック発生器53により生成され、(出力バッファCK1S→伝送路CLKH→入力バッファCK2R)という経路を経て、フリップフロップFF2Rのクロック入力へ入力される。

【0062】データ信号は、クロック発生器53からフリップフロップFF1Sクロック入力に入力されるクロック信号の上昇エッジに同期してフリップフロップFF1Sから出力され、(出力バッファ101S→伝送路DATA→入力バッファ102R)という経路を経て、フリップフロップFF2Rデータ入力へ入力され、フリップフロップFF2Rのクロック入力の上昇エッジに同期してとりこまれる。

【0063】次に、ICカード52から装置本体51方向にデータ通信をする場合について説明する。トライステートバッファ101Sが制御信号1DEにより出力ハイインピーダンス状態にセットされ、トライステートバッファ102Sが制御信号2DEにより出力イネーブル状態にセットされ、フリップフロップFF2SからフリップフロップFF1Rへのデータ伝送となる。クロック信号は、装置本体51のクロック発生器53により生成され、(出力バッファCK1S→伝送路CLKH→入力バッファCK2R→出力バッファCK2S→伝送路CLK\_C→入力バッファCK1R)という経路を経て、フリップフロップFF1Rのクロック入力へ入力される。

【0064】データ信号は、クロック発生器53から(出力バッファCK1S→伝送路CLK\_H→入力バッファCK2R)という経路を経て、フリップフロップFF2Sのクロック入力に入力されるクロック信号の上昇エッジに同期してフリップフロップFF2Sから出力され、(出力バッファ102S→伝送路DATA→入力バッファ101R)という経路を経て、フリップフロップFF1Rのデータ入力へ入力され、フリップフロップFF1Rのクロック入力の上昇エッジに同期して取り込まれる。

【0065】図16は、ICカード52から装置本体51に対するデータ通信を示すシステム構成図である。また、タイミングチャートは、図14と同様であるため、その図示を省略する。

【0066】ICカード52から装置本体51方向へのデータ通信は、図16に示すように、フリップフロップFF2SからフリップフロップFF1Rへのデータ通信となる。クロック発生器53からフリップフロップFF

2 Sのクロック入力に至るクロック遅延は、出力バッファCK1Sの遅延と伝送路CLK\_Hの遅延と入力バッファCK2Rの遅延の合計値となる。この遅延をクロック遅延TD54と表記する。入力バッファCK2RからフリップフロップFF1Rのクロック入力に至るクロック遅延は、出力バッファCK2Sの遅延と伝送路CLK\_Cの遅延と入力バッファCK1Rの遅延の合計値となる。この遅延をクロック遅延TD51と表記する。また、フリップフロップFF2Sクロック入力の上昇エッジタイミングから、フリップフロップFF1Rデータ入力に到達するまでの遅延は、フリップフロップFF2Sの遅延と出力バッファ102Sの遅延と伝送路DATAの遅延と入力バッファ101Rの遅延の合計値となる。このフリップフロップFF2Sの遅延をデータ遅延TD53と表記し、102Sの遅延と伝送路DATAの遅延と101Rの遅延の合計値をデータ遅延TD52と表記する。

【0067】ここで、クロック発生器からフリップフロップFF2Sクロック入力までのクロック遅延はTD54であり、クロック発生器53からフリップフロップFF1Rのクロック入力までのクロック遅延は遅延TD54+遅延TD51であるので、結果としてフリップフロップFF2Sのクロック信号に対して、フリップフロップFF1Rのクロック信号が遅延TD51だけ遅延している。データ遅延TD53のみがタイミング余裕を減少させる原因となるため、従来のICカードの例よりも、より高速の通信をできるようにすることができる。

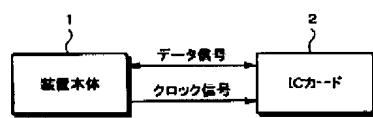
【0068】この発明は、上述したこの発明の一実施形態等に限定されるものでは無く、この発明の要旨を逸脱しない範囲内で様々な変形や応用が可能である。例えばこの発明は、データをシリアルに通信する例に限らず、パラレルで通信する場合に対しても適用することができる。

#### 【0069】

【発明の効果】この発明は、クロック信号に同期してデータ信号を入出力するICカードにおいて、クロック信号をICカードからも出力できるように構成すると共に、クロック信号とデータ信号の遅延時間の差をなくすように構成することで、ICカードから出力されるデータの通信をより高速に行うことができ、大量のデータを短時間で伝送することが可能となる。

#### 【図面の簡単な説明】

【図1】



【図1】従来の装置本体とICカード間のデータ通信方法を示すブロック図である。

【図2】図1の詳細を示すシステム構成図である。

【図3】ICカードから装置本体方向のデータ通信を示すシステム構成図である。

【図4】図3の説明に用いるタイミングチャートである。

【図5】この発明を適用できるICカードシステムの一例のブロック図である。

10 【図6】ICカードシステムの説明のためのタイミングチャートである。

【図7】ICカードシステムの説明のためのタイミングチャートである。

【図8】この発明を適用できるICカードの形状の一例を示す斜視図である。

【図9】図8のICカードを図中H方向から見た図である。

【図10】図8のICカードを図中I方向から見た図である。

20 【図11】この発明によるICカードシステムの概略を示すブロック図である。

【図12】この発明の一実施形態のブロック図である。

【図13】この発明の一実施形態におけるICカードから装置本体に対するデータ通信を説明するためのブロック図である。

【図14】図13の説明に用いるタイミングチャートである。

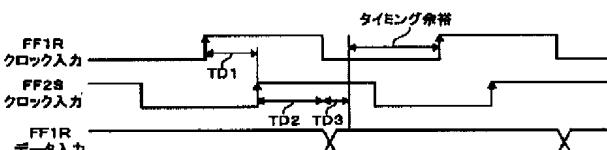
【図15】この発明の他の実施形態のブロック図である。

30 【図16】この発明の他の実施形態におけるICカードから装置本体に対するデータ通信を説明するためのブロック図である。

#### 【符号の説明】

1 DE … 制御信号、1, 11, 21, 51 … 装置本体、2, 12, 26, 41, 52 … ICカード、2 DE … 制御信号、3, 13, 14, 53 … クロック発生器、CLK, DATA … 伝送路、D … データ入力、FF1S, FF2R, FF2S, FF1R … フリップフロップ、Q … データ出力、TD1, TD11, TD51, TD54 … クロック遅延、TD2, TD3, TD12, TD13, TD52, TD53 … データ遅延

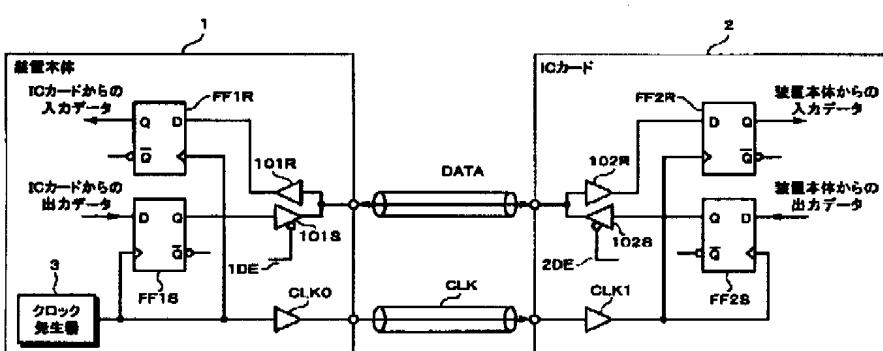
【図4】



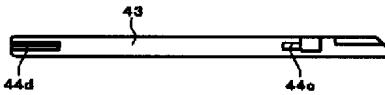
【図10】



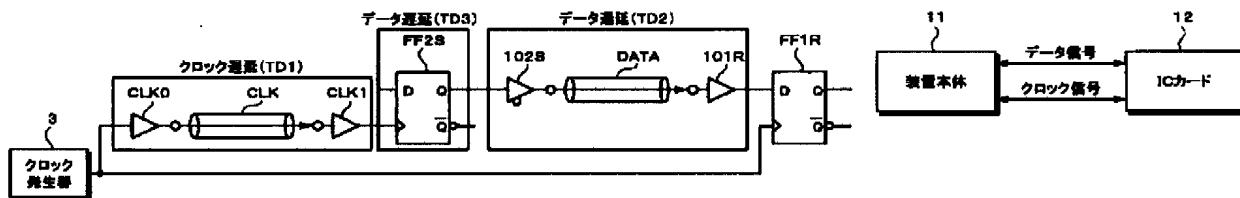
【図2】



【図9】

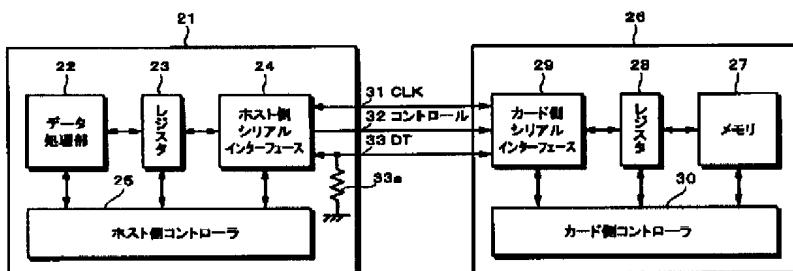


【図3】

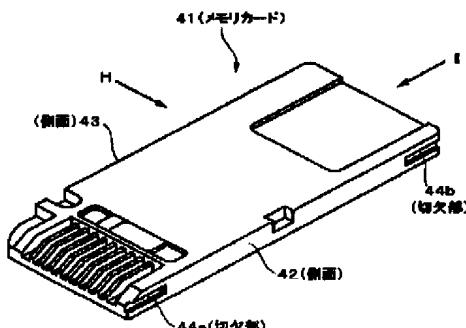


【図11】

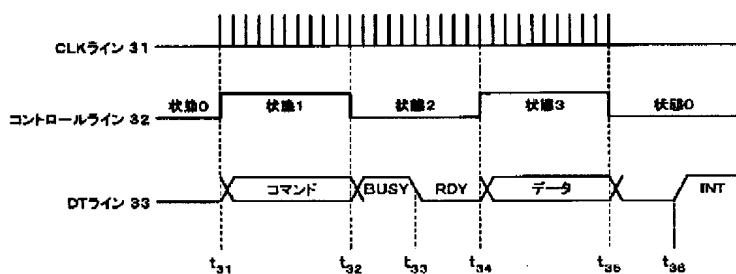
【図5】



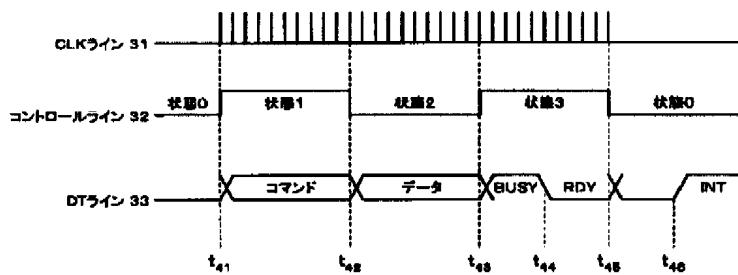
【図8】



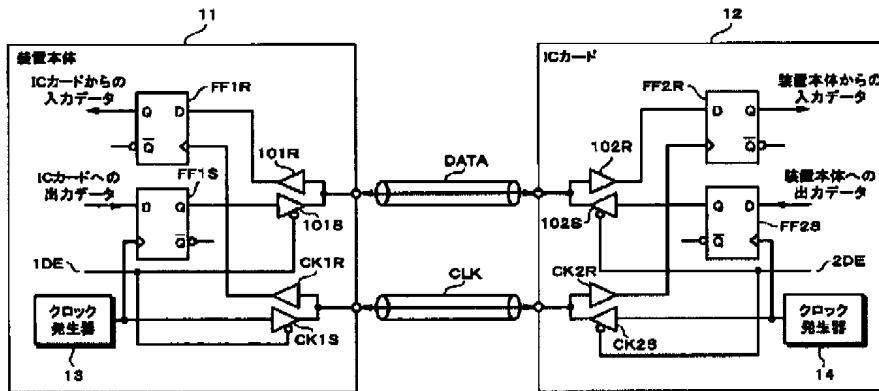
【図6】



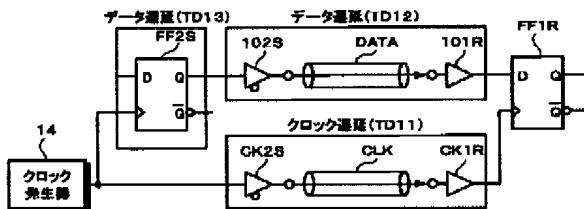
【図7】



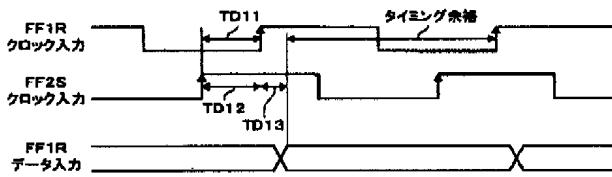
【図12】



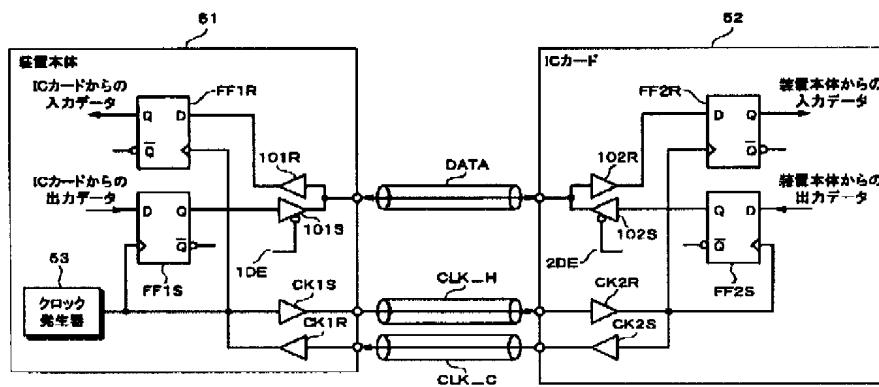
【図13】



【図14】



【図15】



【図16】

